

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-374028

(43)Date of publication of application : 26.12.2002

(51)Int.Cl.

H01S 5/022  
H01L 23/12

(21)Application number : 2001-181700

(71)Applicant : KYOCERA CORP

(22)Date of filing : 15.08.2001

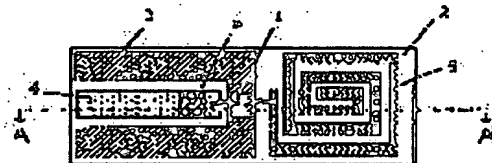
(72)Inventor : INOUE TOMOKI

## (54) WIRING BOARD

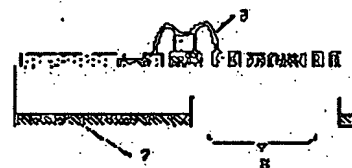
## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the inductance precision of an inductor formed in a bias circuit, further, to easily control inductance value and to suppress stray capacitance to a minimum, in a wiring board suitable for semiconductor laser module, with which the data of large capacity can be communicated at a high speed by increasing a bit rate. (a)

**SOLUTION:** A mounting part for a semiconductor laser device 1, an impedance matching circuit for taking impedance match of an input signal to the semiconductor laser device 1 and the bias circuit for applying bias voltage to the semiconductor laser device 1 are formed on the upper surface of an insulated substrate 2, and a ground electrode 7 is formed on a portion facing the impedance matching circuit on the lower surface of the insulated substrate 2.



(b)



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-374028

(P2002-374028A)

(43) 公開日 平成14年12月26日 (2002. 12. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル\* (参考)

H 0 1 S 5/022

H 0 1 S 5/022

5 F 0 7 3

H 0 1 L 23/12

H 0 1 L 23/12

3 0 1 C

3 0 1

Q

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願2001-181700(P2001-181700)

(22) 出願日

平成13年6月15日 (2001. 6. 15)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田島羽段町6番地

(72) 発明者 井上 友喜

鹿児島県国分市山下町1番1号 京セラ株

式会社鹿児島国分工場内

Fターム(参考) 5F073 BA01 DA21 DA30 EA14 EA15

FA27

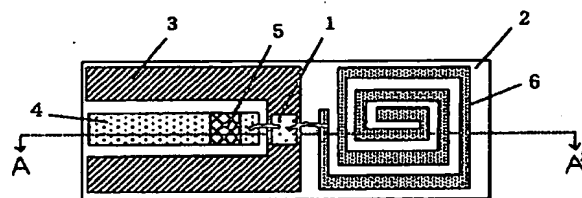
(54) 【発明の名称】 配線基板

(57) 【要約】

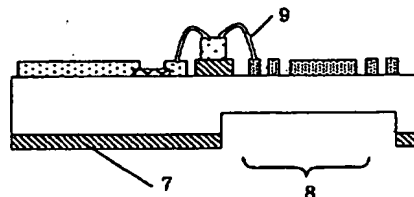
【課題】 ピットレートを増大させて高速に大容量のデータを通信できる半導体レーザモジュール用として好適な配線基板であり、またバイアス回路に形成されるインダクタのインダクタンス精度が向上し、さらにインダクタンス値を容易に調整でき、かつ浮遊容量を最小限にし得るものとする。

【解決手段】 絶縁基板2の上面に、半導体レーザ素子1の搭載部と、半導体レーザ素子1への入力信号のインピーダンス整合をとるためのインピーダンス整合回路と、半導体レーザ素子1にバイアス電圧を印加するためのバイアス回路とが形成され、絶縁基板2の下面のインピーダンス整合回路に対向する部位に接地電極7が形成されている。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 絶縁基板の上面に、半導体レーザ素子の搭載部と、前記半導体レーザ素子への入力信号のインピーダンス整合をとるためのインピーダンス整合回路と、前記半導体レーザ素子にバイアス電圧を印加するためのバイアス回路とが形成され、前記絶縁基板の下面の前記インピーダンス整合回路に対向する部位に接地電極が形成されていることを特徴とする配線基板。

【請求項2】 前記接地電極は前記絶縁基板の下面の前記インピーダンス整合回路に対向する部位にのみ形成され、前記バイアス回路は薄膜インダクタパターンを含んでおり、該薄膜インダクタパターンの形成された前記絶縁基板の部位が他より薄くなっていることを特徴とする請求項1記載の配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体レーザモジュールに用いられる半導体レーザ素子を搭載するサブマウントとして好適な配線基板に関するものである。

## 【0002】

【従来の技術】従来、光通信方式においては、半導体レーザモジュールが、伝送されるべき電氣的データ信号を電気-光変換し光ファイバ等へ光信号として伝送するために用いられており、1G（ギガ）ビット/秒（bps）を超えるデータ通信のビットレートをもつものが広く用いられるようになってきている。

【0003】半導体レーザモジュールの半導体レーザ素子周辺部の電氣的等価回路の一例を図2に示す。図2において、1は半導体レーザ素子、aは半導体レーザ素子に入力される駆動信号（交流信号）のインピーダンスを整合させるためのインピーダンス整合回路、bは半導体レーザ素子にバイアス電圧を印加し励起発振させるためのDC（直流）駆動電源につながるバイアス回路である。

【0004】半導体レーザモジュールは、DC駆動電源よりDC駆動電流がバイアス回路bを経由して半導体レーザ素子1に入り、半導体レーザ素子1が励起発振する。次に、高周波信号がインピーダンス整合回路aを経由して、半導体レーザ素子1に輸入され、変調された光信号が発信される。

【0005】ここで、インピーダンス整合回路aを経由して入力される高周波信号がバイアス回路bを通してDC駆動電源に入ると、電源電圧が不安定になり、結果として半導体レーザ素子の発振が不安定になるため、安定した通信が行えない。このため、バイアス回路bには、高周波信号がDC駆動電源に入らないように配慮したインダクタが設けられている。このインダクタは、所謂チョークコイルとしての役割をなし、巻き線コイルや積層チップコイル等が用いられる。

【0006】半導体レーザ素子1が励起発振すると、同

時に発熱するので、この熱を効率よく逃がして半導体レーザ素子1が一定の温度で維持されるように、半導体レーザ素子1は熱伝導率の高いセラミック基板等から成るサブマウントに実装され、このサブマウントはCu-W合金等からなるヒートシンクやベルチェクーラなどに接続される。

【0007】近年、光通信分野では、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザモジュールが検討されている。その一つの手法として、インピーダンス整合回路aを半導体レーザ素子1を実装するサブマウントに形成することが検討されている。インピーダンス整合回路aはマイクロストリップ線路やコプレーナ線路等の信号伝送路と、整合用抵抗素子とからなり、信号伝送路の特性インピーダンスは一般的に50Ωである。そして、信号伝送路の線幅や、サブマウントのセラミック基板等の厚み等を変えて、回路定数を適切に設定することによって、所望の周波数帯域における信号伝送路の特性インピーダンスと半導体レーザ素子のインピーダンスとを整合させている。また、通常、半導体レーザ素子1の負荷は数Ω程度であり、半導体レーザ素子1と整合用抵抗素子との直列接続のインピーダンスが信号伝送路の特性インピーダンスに整合するように、整合用抵抗素子の抵抗値を調整する。

【0008】インピーダンス整合回路aを、サブマウントをなす絶縁基板の上面に形成することで、半導体レーザ素子と接続するボンディングワイヤの長さを短くでき、高周波信号の伝搬に大きな影響を与える、ボンディングワイヤによって生じるインダクタンスや浮遊容量などを最小限に抑えることができる。さらに、インピーダンス整合回路aとサブマウントを一体形成しているため、実装する部品点数が減り、実装コストが低減された小型の半導体レーザモジュールを構成することができる。

## 【0009】

【発明が解決しようとする課題】しかしながら、2、4Gbps程度を超えるビットレートでの高速通信を安定して行うためには、インピーダンス整合回路aを改良するだけでは不十分であるという問題があった。即ち、ビットレートの増大に伴い、半導体レーザに輸入される高周波信号の周波数がより高くなり、バイアス回路bのインダクタ（チョークコイル）によって高周波信号がDC駆動電源に流入するのを有効に阻止できなくなっているためである。高周波信号がDC駆動電源に流れ込むと電源電圧が不安定になり、結果として半導体レーザの発振も不安定になり、より高いビットレートで通信できないという問題があった。

【0010】一般に、使用する周波数でチョークコイルとして機能するように、インダクタ素子を取り替えてインダクタンス値を最適なものに調整するが、2、4Gbpsを超える半導体レーザモジュールではその調整が困

難であるという問題があった。

【0011】さらに、バイアス回路bに用いるインダクタ素子は小さい部品であり、これらを位置精度良く実装して半導体レーザモジュールを組み立てる必要があるため、作業性が悪く歩留まりが上がらず、高コスト化するという問題もあった。

【0012】従って、本発明は上記事情に鑑みて完成されたものであり、その目的は、2.4Gbps程度を超えるビットレート的高速通信を安定して行う半導体レーザモジュールのサブマウント用として好適な配線基板であり、インピーダンス整合回路およびバイアス回路を薄膜形成技術により一体形成したものを提供することにある。

【0013】

【課題を解決するための手段】本発明の配線基板は、絶縁基板の上面に、半導体レーザ素子の搭載部と、前記半導体レーザ素子への入力信号のインピーダンス整合をとるためのインピーダンス整合回路と、前記半導体レーザ素子にバイアス電圧を印加するためのバイアス回路とが形成され、前記絶縁基板の下面の前記インピーダンス整合回路に対向する部位に接地電極が形成されていることを特徴とする。

【0014】本発明は、上記の構成により、絶縁基板の上面に半導体レーザ素子の搭載部とインピーダンス整合回路とバイアス回路とを一体形成した配線基板であることから、半導体レーザ素子とインピーダンス整合回路とを接続するボンディングワイヤ、また半導体レーザ素子とバイアス回路とを接続するボンディングワイヤを短くできる。その結果、高周波信号に影響を及ぼしやすい、ボンディングワイヤによるインダクタンスや浮遊容量の影響を最小限に抑えることができる。従って、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザモジュールを構成するサブマウントとして好適なものとなる。また、インピーダンス整合回路とバイアス回路とをサブマウントに一体形成しているため、実装する部品点数がさらに減り、実装コストが低減された小型の半導体レーザモジュールを作製することができる。

【0015】本発明において、好ましくは、前記接地電極は前記絶縁基板の下面の前記インピーダンス整合回路に対向する部位にのみ形成され、前記バイアス回路は薄膜インダクタパターンを含んでおり、該薄膜インダクタパターンの形成された前記絶縁基板の部位が他より薄くなっていることを特徴とする。

【0016】本発明は、上記の構成により、薄膜インダクタパターンをフォトリソグラフィ法等により精度よく形成しているので、インダクタンス値のバラツキの小さいものができる。さらに、接地電極は絶縁基板の下面のインピーダンス整合回路に対向する部位にのみ形成され、薄膜インダクタパターンの形成された絶縁基板の部

位が他より薄くなっていることから、絶縁基板の薄膜インダクタパターン直下の絶縁基板に比誘電率が小さい空気による空間が形成されるため、薄膜インダクタパターンにより生じる浮遊容量を小さく抑えることができる。浮遊容量を小さくする別の手段として、絶縁基板全体の厚みを厚くすることが考えられるが、絶縁基板の厚みはインピーダンス整合回路の信号伝送路の特性インピーダンスを50Ωに整合させるように決定されるので、バイアス回路の浮遊容量を小さくするために絶縁基板全体の厚みを厚くすることはできない。

【0017】薄膜インダクタパターンは、絶縁基板の上面に薄膜によって形成されているため、薄膜インダクタパターンの上面であればどこにでもワイヤボンディングすることができ、インダクタンス値を容易に調整できるとともに、調整バラツキを小さくして調整することができる。

【0018】このように、インダクタンス値を精度良く調整でき、浮遊容量を抑えた配線基板となることから、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザモジュールの配線基板として好適なものとなる。

【0019】

【発明の実施の形態】本発明の配線基板について以下に詳細に説明する。図1の(a)は本発明の配線基板の上面図、(b)は(a)のA-A'線における断面図であり、1は配線基板に実装された半導体レーザ素子、2は絶縁基板、3は上面に形成された第一の接地電極、4はインピーダンス整合回路を構成する信号伝送路、5は整合用抵抗素子、6はバイアス回路を構成する薄膜インダクタパターン、7は下面に形成された第二の接地電極、8は絶縁基板2の薄肉部、9はAuなどから成るボンディングワイヤである。

【0020】なお、半導体レーザ素子1の搭載部は、第一の接地電極3の薄膜インダクタパターン6側の部位に相当するものである。

【0021】本発明の絶縁基板2は、酸化アルミニウム( $Al_2O_3$ )質焼結体、窒化アルミニウム(AlN)質焼結体、炭化珪素(SiC)質焼結体、ガラスセラミックス焼結体、窒化珪素( $Si_3N_4$ )質焼結体のうち少なくとも1種より成り、特に熱伝導率が $40W/m \cdot K$ 以上の窒化アルミニウム質焼結体、炭化珪素質焼結体、窒化珪素質焼結体から成るのが好ましい。

【0022】絶縁基板2の上面に被着形成される第一の接地電極3、信号伝送路4、整合用抵抗素子5、インダクタパターン6および絶縁基板2の下面に被着形成される第二の接地電極7は、蒸着法、スパッタリング法、CVD法、メッキ法等の1種以上の薄膜形成法によりなされ、第一の接地電極3、信号伝送路4、整合用抵抗素子5および薄膜インダクタパターン6は、フォトリソグラフィ法、エッチング法、リフトオフ法等によってパター

ン加工される。

【0023】第一の接地電極3、信号伝送路4、薄膜インダクタパターン6および第二の接地電極7は、例えば密着金属層、拡散防止層、主導體層が順次積層された3層構造の薄膜からなっている。ここで、密着金属層は、セラミックス等から成る絶縁基板2との密着性の点で、Ti、Cr、Ta、Nb、Ni-Cr合金またはTa<sub>2</sub>N等のうち少なくとも1種より成るのがよい。密着金属層の厚さは0.01~0.2μm程度が良い。0.01μm未満では、強固に密着することが困難となり、0.2μmを超えると、成膜時の内部応力によって剥離が生じ易くなる。

【0024】拡散防止層は、密着金属層と主導體層との相互拡散を防ぐうえで、Pt、Pd、Rh、Ru、Ni、Ni-Cr合金またはTi-W合金等のうち少なくとも1種より成るのがよい。拡散防止層の厚さは0.05~1μm程度が良く、0.05μm未満では、ピンホール等の欠陥が発生して拡散防止層としての機能を果たしにくくなる。1μmを超えると、成膜時の内部応力により剥離が生じ易くなる。拡散防止層にNi-Cr合金を用いる場合は、密着性も確保できるため、密着金属層を省くことも可能である。

【0025】さらに、抵抗の低いAu、Cu、Ni、Ag等より成る主導體層の厚さは0.1~5μm程度が良い。0.1μm未満では、電気抵抗が大きくなる傾向にあり、5μmを超えると、成膜時の内部応力により剥離を生じ易くなる。また、Auは貴金属で高価であることから、低コスト化の点で薄く形成することが好ましい。Cuは酸化し易いので、その上にNiおよびAuからなる保護膜を被覆するのがよい。

【0026】一方、インピーダンス整合回路を通る高周波信号が良好に伝送されるように、絶縁基板2の上面に形成された第一の接地電極3と絶縁基板2の下面に形成された第二の接地電極7とを、絶縁基板2にオープンホール（スルーホール）、導電性材料が埋め込まれたビアホール、キャストレーション、側面に形成されるメタライズパターンなどを介して導通させ、同電位にしてもよい。

【0027】整合用抵抗素子5は、Ta<sub>2</sub>N、Ni-Cr合金、TaSiO<sub>2</sub>等の比抵抗が高い材料によって形成される。整合用抵抗素子5の厚さは0.005~0.2μm程度が良く、0.005μm未満では、絶縁基板2の表面粗さによる影響で抵抗値が大きく変化しやすくなり、抵抗値のバラツキを小さくすることが困難になる。0.2μmを超えると、成膜時の内部応力により剥離が生じ易くなる。抵抗値は、レーザトリミング等によって微調整することも可能である。

【0028】薄膜インダクタパターン6は、ミアンダパターンやスパイラル（渦巻き状）パターン等であり、インダクタンスが生じるパターンであればどのようなパタ

ーンにしてもかまわないが、スパイラルパターンがよりインダクタンス値を大きくできることから好適である。さらに、薄膜インダクタパターン6の上面には、Auなどのワイヤのボンディングによってインダクタ線路を長くまたは短くしてインダクタンス値を調整できるように、ワイヤボンディング用の電極を複数設けてもよい。薄膜インダクタパターン6の配線幅は5~200μm程度が好ましく、5μm未満では、絶縁基板2の凹凸によって配線が途中で切れ易くなる。200μmを超えると、配線基板に一体形成するうえで、適切な大きさを有するとともに十分なインダクタンス値をもった薄膜インダクタパターンを形成するのが困難になる。

【0029】また、薄膜インダクタパターン6がスパイラルパターンの場合、最外周部等の外周側を細線化して、その細線部に線路方向に間隔をあけて複数のワイヤボンディング電極を設けることで、インダクタンス値を微調整できる。これにより、インダクタンス値を高精度に制御できる。また、細線部を設けることで薄膜インダクタパターン6に生じる浮遊容量をさらに小さくすることができる。

【0030】絶縁基板2の薄肉部8は、まず絶縁基板2の下面全面に第二の接地電極7を形成後、第二の接地電極7と絶縁基板2とをダイヤモンドブレード等によって、絶縁基板2の厚み方向の途中まで切削除去することで形成できる。薄肉部8の絶縁基板2の厚みは絶縁基板2の厚みの1/3~4/5の範囲が好ましく、1/3未満では、配線基板を半導体レーザモジュールに実装する際、薄肉部8より割れやすくなる。4/5を超えると、薄膜インダクタパターン6に発生する浮遊容量を十分に抑えることができなくなる。具体的には、絶縁基板2の厚みは0.2~2mm程度である。また、薄肉部の端部の断面形状は主面に対して垂直にせず、例えば、絶縁基板2の下面側に向かって広がるようなテーパ形状にしてもよい。

【0031】かくして、本発明は、半導体レーザモジュールに好適に用いられる、インピーダンス整合回路とバイアス回路とを一体形成した配線基板であり、セラミックス等からなる絶縁基板2の上面にインピーダンス整合回路、バイアス回路、半導体レーザ素子の搭載部を薄膜形成技術により隣接して形成しているため、それらを接続するボンディングワイヤ9の長さをきわめて短くすることができる。これにより、高周波信号の伝送に影響を及ぼすボンディングワイヤ9のインダクタンスや浮遊容量を最小限に抑えることができ、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザモジュールを構成する配線基板として好適なものとなる。また、インピーダンス整合回路とバイアス回路とを配線基板に一体形成しているため、実装する部品点数がさらに減り、実装コストが低減された小型の半導体レーザモジュールを構成することができる。

【0032】さらに本発明では、バイアス回路に薄膜インダクタパターン6が含まれ、薄膜インダクタパターン6をフォトリソグラフィ法等により精度よく形成しているので、インダクタンス値のバラツキの小さいものができる。さらに、好ましくは、接地電極7は絶縁基板2の下面のインピーダンス整合回路に対向する部位にのみ形成され、薄膜インダクタパターン6の形成された絶縁基板2の部位が他より薄くなっているため、薄膜インダクタパターン6により生じる浮遊容量を小さく抑えることができる。さらに、薄膜インダクタパターン6は絶縁基板2の上面に薄膜によって形成されているため、薄膜インダクタパターン6の上面であればどこにでもワイヤボンディングすることができ、その結果インダクタンス値を容易に調整でき、かつ調整バラツキを小さくして調整することができる。

【0033】このように、インダクタンス値を精度良く調整でき、浮遊容量を最小限に抑えた配線基板となることから、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザーモジュールの配線基板として好適なものとなる。

【0034】なお、本発明は上記実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変更を行なうことは何等差し支えない。例えば、絶縁基板2の上面に半導体レーザー素子1の温度を測定するためのサーミスタを実装する電極パッドを設けたり、半導体レーザー素子1の温度を測定するPtなどからなる温度センサを一体形成した配線基板としてもよい。また、半導体レーザー素子1より発振される光信号を集光するボール状のレンズを設置する領域を設けても良い。また、図1では薄膜インダクタパターン6を一つ形成しているが、複数設けて接続してもよい。その場合、複数の薄膜インダクタパターン6をスパイラルの巻き数が徐々に変化するように並べて形成し、接続個数や接続区間を変化させることでインダクタンス値を制御してもよい。

【0035】

【発明の効果】本発明は、絶縁基板の上面に、半導体レーザー素子の搭載部と、半導体レーザー素子への入力信号のインピーダンス整合をとるためのインピーダンス整合回路と、半導体レーザー素子にバイアス電圧を印加するためのバイアス回路とが形成され、絶縁基板の下面のインピーダンス整合回路に対向する部位に接地電極が形成されていることにより、半導体レーザー素子とインピーダンス整合回路、半導体レーザー素子とバイアス回路を接続するボンディングワイヤの長さをきわめて短くすることができる。これにより、高周波信号の伝送に影響を及ぼす、

ボンディングワイヤのインダクタンスや浮遊容量を最小限に抑えることができ、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザーモジュールを構成する配線基板として好適なものとなる。また、インピーダンス整合回路とバイアス回路とを配線基板に一体形成しているため、実装する部品点数がさらに減り、実装コストが低減された小型の半導体レーザーモジュールを構成することができる。

【0036】また本発明は、好ましくは、接地電極は絶縁基板の下面のインピーダンス整合回路に対向する部位にのみ形成され、バイアス回路は薄膜インダクタパターンを含んでおり、薄膜インダクタパターンの形成された絶縁基板の部位が他より薄くなっていることにより、薄膜インダクタパターンはフォトリソグラフィ法等により精度よく形成されているので、インダクタンス値のバラツキの小さいものができる。さらに、接地電極は絶縁基板の下面のインピーダンス整合回路に対向する部位にのみ形成され、薄膜インダクタパターンの形成された絶縁基板の部位が他より薄くなっているため、薄膜インダクタパターンにより生じる浮遊容量を小さく抑えることができる。さらに、薄膜インダクタパターンは絶縁基板の上面に薄膜によって形成されているため、薄膜インダクタパターンの上面であればどこにでもワイヤボンディングすることができ、その結果インダクタンス値を容易に調整でき、かつ調整バラツキが小さくして調整することができる。

【0037】このように、本発明は、インダクタンス値を精度良く調整でき、浮遊容量を最小限に抑えた配線基板となることから、ビットレートをより増大させて高速に大容量のデータを通信できる半導体レーザーモジュールの配線基板として好適なものとなる。

【図面の簡単な説明】

【図1】本発明の配線基板について実施の形態の例を示し、(a)は配線基板の上面図、(b)は(a)のA-A'線における配線基板の断面図である。

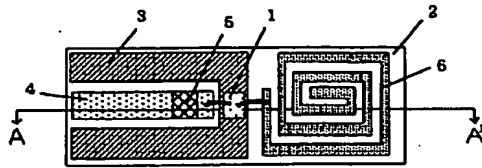
【図2】半導体レーザーモジュールの等価回路図である。

【符号の説明】

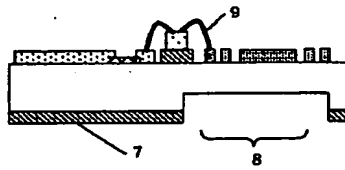
- 1：半導体レーザー
- 2：絶縁基板
- 3：第一の接地電極
- 4：信号伝送路
- 5：整合用抵抗素子
- 6：薄膜インダクタパターン
- 7：第二の接地電極
- 8：薄肉部

【図 1】

(a)



(b)



【図 2】

